

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-187992

(P2000-187992A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

G 1 1 C 16/02

G 1 1 C 17/00

6 1 4

5 B 0 2 5

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-359562

(22) 出願日 平成10年12月17日 (1998.12.17)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機システムエル・エス・アイ・デザイン株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 土居 良規

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム (参考) 5B025 AA03 AB01 AC01 AD00 AD04

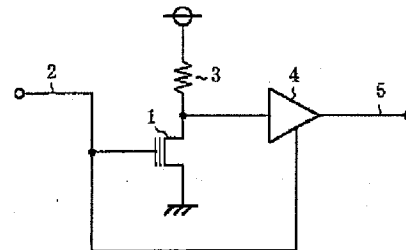
AD06 AD15 AE04 AE08

(54) 【発明の名称】 電気的書換可能な不揮発性メモリのリフレッシュ制御回路

(57) 【要約】

【課題】 再書き込みのタイミングを判断でき、適切な再書き込みを実施可能にすることである。

【解決手段】 電気的書換可能な不揮発性メモリの再書き込みに必要なタイミングを判定し決定するための再書込タイミング決定手段と、該再書込タイミング決定手段により決定した前記タイミングをもとに、メモリ領域を再書き込みするリフレッシュ手段とを備える。



1: 特定のフラッシュメモリトランジスタ

(特定のメモリセル、再書込タイミング決定手段)

3: 抵抗 (再書込タイミング決定手段)

4: センスアンプ

(特定メモリセル閾値判別回路、再書込タイミング決定手段)

【特許請求の範囲】

【請求項1】 電氣的書換可能な不揮発性メモリの再書き込みの必要なタイミングを判定し決定するための再書込タイミング決定手段と、
該再書込タイミング決定手段により決定した前記タイミングをもとに、メモリ領域を再書き込みするリフレッシュ手段とを備えていることを特徴とする電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項2】 再書込タイミング決定手段は、
メモリの読み出し信号をもとにソフトライトされる特定のメモリセルと、
前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを備え、
リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みすることを特徴とする請求項1記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項3】 再書込タイミング決定手段は、
パワーオンリセットを示す信号をもとにソフトライトされる特定のメモリセルと、
前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを備え、
リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みすることを特徴とする請求項1記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項4】 再書込タイミング決定手段は、
パワーオンとともに発振する発振信号をもとにソフトライトされる特定のメモリセルと、
前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを備え、
リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みすることを特徴とする請求項1記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項5】 リフレッシュ手段は、
再書き込みの必要なメモリ領域を判別するための再書込必要領域判定手段を備え、
特定メモリセル閾値判別回路による判別結果をもとに、
前記再書込必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対し再書き込みすることを特

徴とする請求項2から請求項4のうちのいずれか1項記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項6】 リフレッシュ手段は、
特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとに、全メモリ領域を再書き込みすることを特徴とする請求項2から請求項4のうちのいずれか1項記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項7】 リフレッシュ手段は、
パワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、
特定メモリセル閾値判別回路による判別結果をもとに、
前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、全メモリ領域を再書き込みすることを特徴とする請求項6記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【請求項8】 リフレッシュ手段は、
パワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、
特定メモリセル閾値判別回路による判別結果をもとに、
前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、再書込必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対し再書き込みすることを特徴とする請求項5記載の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的書換可能な不揮発性メモリのリフレッシュ制御回路に関するものである。

【0002】

【従来の技術】一般に、電氣的書換可能な不揮発性メモリ（以下、フラッシュメモリという）におけるメモリセルのVGS-ID特性は、図8に示すように未書き込み時は符号101で示す特性（読み出し時 Highレベル）、書き込み時は符号102で示す特性（読み出し時 Lowレベル）となる。

【0003】ところで、長期にデータを保存したり、または使用していると、経年変化により、書き込まれたメモリセルの閾値が下がり、符号103で示すような特性になり、未書き込み時の特性に近づいてくる。

【0004】たとえば、センスアンプの閾値が符号104で示すレベルにある場合、符号102で示す特性のメモリセルは正しくLowレベルを読み出すが、符号103で示すレベルのメモリセルはHighレベルを読み出し、誤読み出しをしてしまう。このため、符号102および符号103で示す特性のメモリセルをともに正しくLowレベルと読み出すためには、センスアンプの閾値が符号105にあればよい。

【0005】しかしながら、符号101で示す特性のメモリセルとのマージンが少なくなってしまうため、符号103で示す特性になってしまったメモリセルに対して再書き込み（リフレッシュ動作）を行う必要がある。

【0006】

【発明が解決しようとする課題】従来の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路は以上のように構成されており、符号103で示す特性になってしまったメモリセルに対して再書き込み動作を行う必要がある一方、前記メモリセルに対しての再書き込み動作を行う時期についての的確に判断できる構成にはなっていないという課題があった。

【0007】この発明は、上記のような課題を解決するためになされたものであり、再書き込みのタイミングを判断でき、適切な再書き込みを実施できる電氣的書換可能な不揮発性メモリのリフレッシュ制御回路を得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係るフラッシュメモリのリフレッシュ制御回路は、電氣的書換可能な不揮発性メモリの再書き込みの必要なタイミングを判定し決定するための再書込タイミング決定手段と、該再書込タイミング決定手段により決定した前記タイミングをもとに、メモリ領域を再書き込みするリフレッシュ手段とを備えるようにしたものである。

【0009】この発明に係るフラッシュメモリのリフレッシュ制御回路は、メモリの読み出し信号をもとにソフトライต์される特定のメモリセルと、前記ソフトライต์により変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを再書込タイミング決定手段が備え、リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みする構成を備えるようにしたものである。

【0010】この発明に係るフラッシュメモリのリフレッシュ制御回路は、パワーオンリセットを示す信号をもとにソフトライต์される特定のメモリセルと、前記ソフトライต์により変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを再書込タイミング決定手段が備え、リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みする構成を備えるようにしたものである。

【0011】この発明に係るフラッシュメモリのリフレッシュ制御回路は、パワーオンとともに発振する発振信号をもとにソフトライต์される特定のメモリセルと、前記ソフトライต์により変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判

定レベルをもとに判別するための特定メモリセル閾値判別回路とを再書込タイミング決定手段が備え、リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みする構成を備えるようにしたものである。

【0012】この発明に係るフラッシュメモリのリフレッシュ制御回路は、リフレッシュ手段が再書き込みの必要なメモリ領域を判別するための再書込必要領域判定手段を備え、特定メモリセル閾値判別回路による判別結果から得られたタイミングをもとに、前記再書込必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対し再書き込みする構成を備えるようにしたものである。

【0013】この発明に係るフラッシュメモリのリフレッシュ制御回路は、リフレッシュ手段が特定メモリセル閾値判別回路による判別結果から得られたタイミングをもとに、全メモリ領域を再書き込みする構成を備えるようにしたものである。

【0014】この発明に係るフラッシュメモリのリフレッシュ制御回路は、リフレッシュ手段がパワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、特定メモリセル閾値判別回路による判別結果から得られたタイミングをもとに、前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、全メモリ領域を再書き込みする構成を備えるようにしたものである。

【0015】この発明に係るフラッシュメモリのリフレッシュ制御回路は、リフレッシュ手段がパワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、特定メモリセル閾値判別回路による判別結果から得られたタイミングをもとに、前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、再書込必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対し再書き込みする構成を備えるようにしたものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態について説明する。

実施の形態1. 図1は、この実施の形態1の電氣的書換可能な不揮発性メモリ（以下、フラッシュメモリという）のリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。図1において、1は特定のフラッシュメモリトランジスタ（特定のメモリセル、再書込タイミング決定手段）、2は読み出しバース、3は抵抗（再書込タイミング決定手段）、4は制御入力付きのセンスアンプ（特定メモリセル閾値判別回路、再書込タイミング決定手段）、5はフラグ出力を示す。

【0017】次に、動作について説明する。一般的に、フラッシュメモリの書き込み時には、VDSを8V程度、VGSを12V程度に設定し、フラッシュメモリセ

ルのフローティングゲートに電子を注入する。また、読み出し時には、VGSを5Vに設定して未書き込みのメモリセル時のVDSを1V程度になるようにしている。

【0018】この実施の形態では、読み出し時のVDSを1Vより高い電圧にすることにより、読み出し時に特定のフラッシュメモリトランジスタ1のフローティングゲートに電子を少量注入させ、回数を重ねるごとに注入された電子量が増えてゆくようにする。この結果、図2に示すようにVGS=5V時のVDSの値は徐々に上昇していく。このときセンスアンプ4の閾値を符号6で示すレベルに設定しておく。この結果、VDSが符号6で示すレベルを越えた時点でフラグ出力5はHighレベルとなるので、このHighレベルのフラグ出力5によりメモリセルに対しての再書き込み動作を行う時期を判断する。なお、センスアンプ4は、読み出しパルス2がHighレベルの間、動作させる。

【0019】図3は、図1に示す回路によりフラグ出力5を得て、再書き込み動作をどのように実行するかを示したフローチャートである。このフローチャートによれば、まず、フラグ出力5がHighレベルになるまでフラグ出力5を監視する(ステップST1、リフレッシュ手段)。次に、フラグ出力5がHighレベルになれば、アドレスカウンタを“0”にクリアする(ステップST2、リフレッシュ手段)。そして、前記アドレスカウンタが示すメモリのデータを読み出し、同じデータで再書き込みを行う(ステップST3、リフレッシュ手段)。

【0020】次に、前記アドレスカウンタがメモリの最終アドレスまで進んでいるか否かを判定し(ステップST4、リフレッシュ手段)、この結果、最終アドレスまで進んでいなければ、前記アドレスカウンタの値を+1し(ステップST5、リフレッシュ手段)、ステップST3へ戻る。また、前記ステップST4で前記アドレスカウンタがメモリの最終アドレスまで進んでいれば終了する。

【0021】以上のように、この実施の形態1によれば、特別な記憶素子を用意することなく、読み出しの回数をおおよそ把握することができ、この読み出しの回数によって再書き込みのタイミングを計り、適切な再書き込みを実施できる電氣的書換可能な不揮発性メモリのリフレッシュ制御回路が得られる効果がある。

【0022】実施の形態2。この実施の形態2の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路では、前記実施の形態1の図1に示した構成を用いるが、再書き込みを実行する際の動作が異なる。図4は、この実施の形態の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の再書き込みを実行する際の動作を示すフローチャートである。この実施の形態2では、まず、フラグ出力5がHighレベルになるまでフラグ出力5を監視する(ステップST11、リフレッシュ手段)。

この結果、フラグ出力がHighレベルになれば、アドレスカウンタを“0”にクリアする(ステップST12、リフレッシュ手段)。次に、前記アドレスカウンタが示すメモリのデータを、センスアンプ4の閾値が図8の符号104で示した値で読み出す。さらに、前記アドレスカウンタが示している同じメモリのデータを今度は閾値が図8の符号105で示した値で読み出す(ステップST13、再書き込み必要領域判定手段、リフレッシュ手段)。

【0023】次に、前記ステップST13で、それぞれ読み出した結果が“同じ”であるかを判定し(ステップST14、再書き込み必要領域判定手段、リフレッシュ手段)、“同じ”であればステップST16(リフレッシュ手段)へ飛ぶ。

【0024】一方、ステップST14での判定結果が“同じ”でなければ、前記ステップST13において閾値が図8の符号105で示した値で読み出したデータで再書き込みする(ステップST15、リフレッシュ手段)。

【0025】続いてステップST16へ進み、前記アドレスカウンタの示す値がメモリの最終アドレスまで進んでいるか否かを判定し、最終アドレスまで進んでいなければ、アドレスカウンタの値を+1して(ステップST17、リフレッシュ手段)、ステップST13へ戻る。

【0026】一方、前記アドレスカウンタがメモリの最終アドレスまで進んでいれば、終了する。

【0027】以上のように、この実施の形態2によれば、特別な記憶素子を用意することなく、読み出しの回数をおおよそ把握することができ、この読み出しの回数によって再書き込みのタイミングを計るとともに、ステップST14での判定結果が“同じ”でない、つまりVGSの低下したデータ化けを起こす可能性のあるフラッシュメモリのデータに対してのみ、正しいデータの適切な再書き込みを実施できる電氣的書換可能な不揮発性メモリのリフレッシュ制御回路が得られる効果がある。

【0028】実施の形態3。この実施の形態3では、パワーオンリセット回路の出力が例えばHighレベルの期間のみフラグ出力5をチェックする。そして、前記期間にHighレベルのフラグ出力5が得られれば、前記実施の形態1の図1に示す構成と図3に示す再書き込み動作、または前記実施の形態2の図4に示す再書き込み動作を実行する。

【0029】この場合、図3のフローチャートではステップST2からステップST5までの処理を実行し、また図4に示すフローチャートではステップST12からステップST17までの処理を実行し、前記実施の形態1または前記実施の形態2の再書き込みを行う。

【0030】図5は、この実施の形態3の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の動作を示すフローチャートである。まず、パワーオンリセット回

路からのHighレベルの出力の有無をもとにパワーオンリセットが行われたかを判定し(ステップST21、パワーオンリセット期間識別手段、リフレッシュ手段)、この結果、パワーオンリセットが行われたならば、このパワーオンリセットが行われている期間、再書き込みルーチンへ移行する。すなわち、前記再書き込みルーチンは前記図3または前記図4に示した各ステップから構成されており、前記パワーオンリセットが行われている期間内にHighレベルのフラグ出力5があるかを判定し(ステップST22、リフレッシュ手段)、フラグ出力5がHighレベルになっていれば前記実施の形態1または前記実施の形態2の再書き込み動作を行う。

【0031】以上のように、この実施の形態3によれば、特別な記憶素子を用意することなく、電源が投入されるたびに再書き込みを行うべきタイミングであるか否かを検出し、再書き込みを行うべき時であれば前記パワーオンリセットが行われている期間、適切な再書き込み、または正しいデータについての適切な再書き込みを実施できる電氣的書換可能な不揮発性メモリのリフレッシュ制御回路が得られる効果がある。

【0032】実施の形態4。図6は、この実施の形態4の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。なお、図6において図1と同等の部分については同一の符号を付し説明を省略する。図6において、7は電源投入時に一定のパルス幅の例えばHighレベルの信号を出力するパワーオンリセット回路である。

【0033】次に、動作について説明する。この実施の形態4では、パワーオンリセット回路7からのHighレベルの出力8によりソフトライトを行い、特定のフラッシュメモリトランジスタ1の閾値を上げて行き、電源が立ち上げられた回数をもとに再書き込みのチェックのタイミングを計る。

【0034】また、再書き込み動作は、前記実施の形態1の図3、前記実施の形態2の図4、または前記実施の形態3の図5で示したフローチャートに従って行うことができる。

【0035】以上のように、この実施の形態4によれば、特別な記憶素子を用意することなく、電源の投入回数をおおよそ把握することができ、これにより再書き込みのタイミングを計り、適切な再書き込みを実施できる効果がある。

【0036】実施の形態5。図7は、この実施の形態5の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。図7において図1と同等の部分については同一の符号を付し説明を省略する。図7において、9は発振回路、10は発振回路9の発振出力である。

【0037】次に、動作について説明する。この実施の

形態では、発振出力10がHighレベルになることにより、特定のフラッシュメモリトランジスタ1の閾値を上げていく。これにより、発振回路9の発振出力のデューティを変えることにより、フラグ出力5がHighレベルになるまでの時間を変えることが出来るため、これにより再書き込みのタイミングを計ることが出来る。

【0038】以上のように、この実施の形態5によれば、発振回路9の発振出力10のデューティをもとに電源の投入時間をおおよそ計ることができ、これにより再書き込みのタイミングを計り、適切な再書き込みを実施できる電氣的書換可能な不揮発性メモリのリフレッシュ制御回路が得られる効果がある。

【0039】実施の形態6。なお、以上説明した各実施の形態による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路において、特定のフラッシュメモリトランジスタ1に消去回路を接続することにより、再書き込み実施後、特定のフラッシュメモリトランジスタ1を消去し、繰り返し使用できるように構成することが可能である。

【0040】

【発明の効果】以上のように、この発明によれば、電氣的書換可能な不揮発性メモリの再書き込みの必要なタイミングを判定し決定するための再書き込み決定手段と、該再書き込み決定手段により決定した前記タイミングをもとに、メモリ領域を再書き込みするリフレッシュ手段とを備えるように構成したので、再書き込みのタイミングを判断でき、適切な再書き込みを行うことが出来る効果がある。

【0041】この発明によれば、メモリの読み出し信号をもとにソフトライトされる特定のメモリセルと、前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを再書き込み決定手段が備え、リフレッシュ手段は、前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みするように構成したので、再書き込みのタイミングを前記メモリの読み出し信号をもとに行われたソフトライトにより変化した前記特定のメモリセルの閾値から判断でき、適切な再書き込みを行うことができ、特に通常のユーザエリアと異なるメモリセルを前記特定のメモリセルとして用いた場合には特別な記憶素子を用意することなく読み出しの回数をおおよそ把握することができ、これにより再書き込みのタイミングを判断し、適切な再書き込みを実施できる効果がある。

【0042】この発明によれば、パワーオンリセットを示す信号をもとにソフトライトされる特定のメモリセルと、前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル

閾値判別回路とを再書き込みタイミング決定手段が備え、リフレッシュ手段が前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みする構成を備えるようにしたので、再書き込みのタイミングを前記パワーオンリセットを示す信号をもとに行われたソフトライトにより変化した前記特定のメモリセルの閾値から判断でき、適切な再書き込みを行うことができ、特に通常のユーザエリアと異なるメモリセルを前記特定のメモリセルとして用いた場合には特別な記憶素子を用意することなく前記パワーオンリセットの回数をおおよそ把握することができ、これにより再書き込みのタイミングを判断し、適切な再書き込みを実施できる効果がある。

【0043】この発明によれば、パワーオンとともに発振する発振信号をもとにソフトライトされる特定のメモリセルと、前記ソフトライトにより変化した前記特定のメモリセルの閾値を、再書き込みを行うタイミングを決める所定の判定レベルをもとに判別するための特定メモリセル閾値判別回路とを再書き込みタイミング決定手段が備え、リフレッシュ手段が前記特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとにメモリ領域を再書き込みする構成を備えるようにしたので、再書き込みのタイミングを前記発振信号をもとに行われたソフトライトにより変化した前記特定のメモリセルの閾値から判断でき、適切な再書き込みを行うことができ、特に通常のユーザエリアと異なるメモリセルを前記特定のメモリセルとして用いた場合には特別な記憶素子を用意することなくパワーオンの期間をおおよそ把握することができ、これにより再書き込みのタイミングを判断し、適切な再書き込みを実施できる効果がある。

【0044】この発明によれば、再書き込みの必要なメモリ領域を判別するための再書き込み必要領域判定手段を備え、特定メモリセル閾値判別回路による判別結果をもとに、前記再書き込み必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対しリフレッシュ手段が再書き込みする構成を備えるようにしたので、再書き込みのタイミングを判断して適切な再書き込みを前記再書き込みの必要なメモリ領域に対してのみ行うことが出来る効果がある。

【0045】この発明によれば、特定メモリセル閾値判別回路による判別結果により得られたタイミングをもとに、リフレッシュ手段が全メモリ領域を再書き込みする構成を備えるようにしたので、再書き込みのタイミングを判断して適切な再書き込みを前記全メモリ領域に対して行うことが出来る効果がある。

【0046】この発明によれば、パワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、特定メモリセル閾値判別回路による判別結果をもとに、前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、全メモリ領域をリフレッシュ手段が

再書き込みする構成を備えるようにしたので、再書き込みのタイミングを判断して前記全メモリ領域に対して適切な再書き込みを前記パワーオンリセット期間に行うことが出来る効果がある。

【0047】この発明によれば、パワーオンリセット期間を識別するパワーオンリセット期間識別手段を備え、特定メモリセル閾値判別回路による判別結果をもとに、前記パワーオンリセット期間識別手段が識別したパワーオンリセット期間、再書き込み必要領域判定手段により判別した前記再書き込みの必要なメモリ領域に対しリフレッシュ手段が再書き込みする構成を備えるようにしたので、再書き込みのタイミングを判断して前記再書き込みの必要なメモリ領域に対して適切な再書き込みを前記パワーオンリセット期間に行うことが出来る効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。

【図2】 この発明の実施の形態1による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の読み出し回数に対するフラッシュメモリトランジスタのVDSの変化を示す説明図である。

【図3】 この発明の実施の形態1による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の再書き込み動作を示すフローチャートである。

【図4】 この発明の実施の形態2による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の再書き込み動作を示すフローチャートである。

【図5】 この発明の実施の形態3による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の再書き込み動作を示すフローチャートである。

【図6】 この発明の実施の形態4による電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。

【図7】 この実施の形態5の電氣的書換可能な不揮発性メモリのリフレッシュ制御回路の特徴的な回路構成部分を示す回路図である。

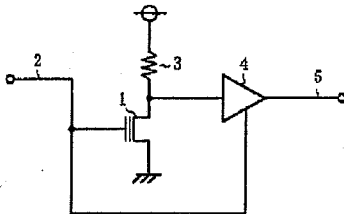
【図8】 従来のフラッシュメモリにおけるVGS-I DS特性図である。

【符号の説明】

1 特定のフラッシュメモリトランジスタ（特定のメモリセル、再書き込みタイミング決定手段）、3 抵抗（再書き込みタイミング決定手段）、4 センスアンプ（特定メモリセル閾値判別回路、再書き込みタイミング決定手段）、7 パワーオンリセット回路、ステップST1～ステップST5、ステップST11、ステップST12、ステップST15、ステップST16、ステップST17、ステップST22 リフレッシュ手段、ステップST13、ステップST14 再開必要領域判定手段、リフレッシュ手段、ステップST21 パワーオンリセット

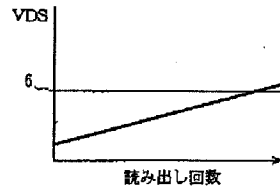
期間識別手段、リフレッシュ手段。

【図1】

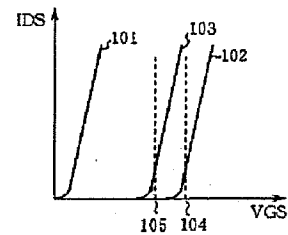


- 1: 特定のフラッシュメモリトランジスタ
 (特定のメモリセル、再書き込みタイミング決定手段)
 3: 抵抗 (再書き込みタイミング決定手段)
 4: センスアンプ
 (特定メモリセル閾値判別回路、再書き込みタイミング決定手段)

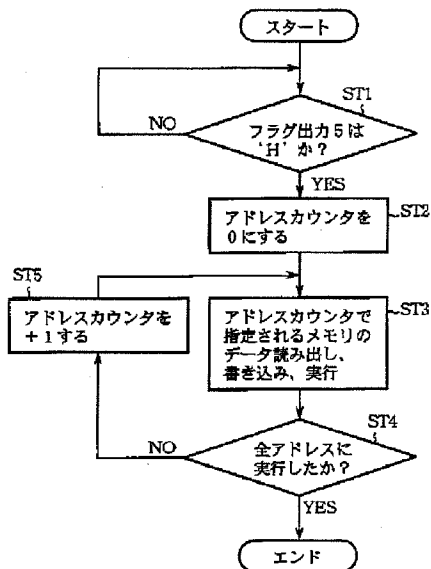
【図2】



【図8】

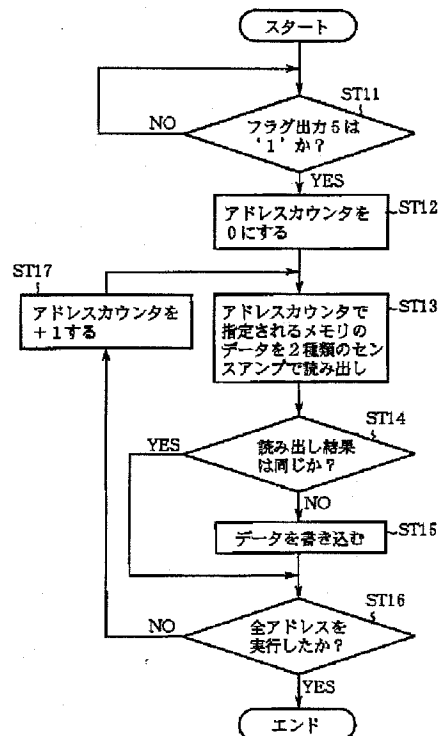


【図3】



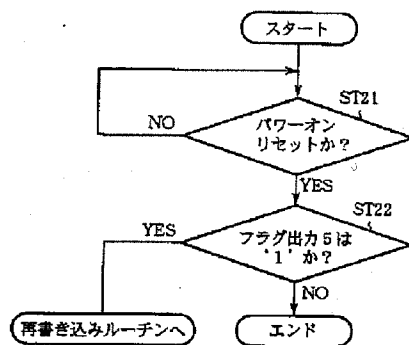
ステップST1～ステップST5: (リフレッシュ手段)

【図4】



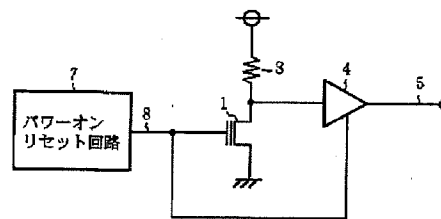
ステップST11, ステップST12, ステップST15～ステップST17
 : (リフレッシュ手段)
 ステップST13, ステップST14
 : (再書き込み必要領域判定手段、リフレッシュ手段)

【図5】

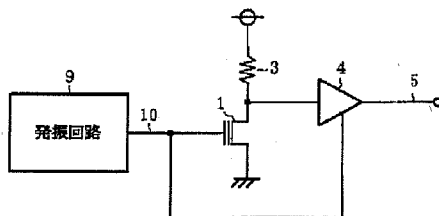


ステップST21: (パワーオンリセット期間識別手段、リフレッシュ手段)
ステップST22: (リフレッシュ手段)

【図6】



【図7】



DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

013322995 **Image available**

WPI Acc No: 2000-494934/200044

XRPX Acc No: N00-367737

Refresh control circuit for flash memory , controls data re-written on
specific memory area based on rewriting timing determined by resistor

Patent Assignee: MITSUBISHI DENKI SEMICONDUCTOR SOFTWARE (MITQ);

MITSUBISHI ELECTRIC CORP (MITQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000187992	A	20000704	JP 98359562	A	19981217	200044 B

Priority Applications (No Type Date): JP 98359562 A 19981217

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000187992	A		8 G11C-016/02	

JP 2000187992 A 8 G11C-016/02

Abstract (Basic): JP 2000187992 A

NOVELTY - The refresh unit rewrites data on specific memory
area, based on determined rewriting timing judged by resistor (3).

USE - For flash memory .

ADVANTAGE - Re-writing operation is performed reliably on memory
area as rewriting is done based on judged rewriting timing.

DESCRIPTION OF DRAWING(S) - The drawing shows circuit diagram of
refresh control circuit.

Resistor (3)

pp; 8 DwgNo 1/8

Title Terms: REFRESH; CONTROL; CIRCUIT; FLASH ; MEMORY ; CONTROL; DATA;
WRITING; SPECIFIC; MEMORY ; AREA; BASED; REWRITING; TIME; DETERMINE;
RESISTOR

Derwent Class: U14

International Patent Class (Main): G11C-016/02

File Segment: EPI